

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-244585

(43)Date of publication of application : 19.09.1997

(51)Int.Cl. G09G 3/36
G02F 1/133
H03K 3/356
H03K 17/10
H03K 17/687
H03K 19/0185

(21)Application number : 08-046454

(71)Applicant : TOPPAN PRINTING CO LTD
TOSHIBA CORP

(22)Date of filing : 04.03.1996

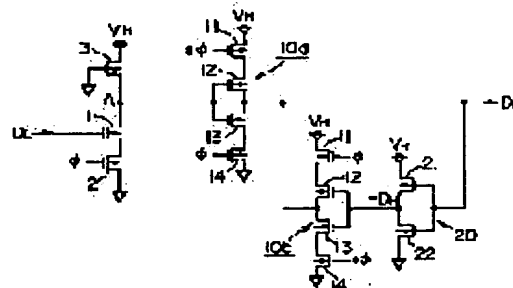
(72)Inventor : CHIN GIYUSHIYOU
NANZAKI HIRONORI
TAGUCHI TAKASHI

(54) LEVEL SHIFTER CIRCUIT WITH LATCH FUNCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a level shifter circuit in which the driving capacity is high, smaller number of transistors is used to constitute the circuit and the number of rows is reduced in the layout of the driver ICs of a liquid crystal display device.

SOLUTION: When a clock signal ϕ is '1' (an inverted clock signal $\bar{\phi}$ is '0', the digital signals of a voltage V_H system, which are made by inverting the digital signals of a voltage V_L (for example, 3 volts) system being inputted to the gate of an Nch field effect transistor(FET) 1, are inputted to a three state inverter 10a and the inverter 10a inverts and outputs the inputted signals. Moreover, when the signal ϕ is '0', the inverter 10a is put in a high impedance state and the signals ϕ keep the output state the same as the state immediately before the signal ϕ becomes '0' by the loop which is formed by an inverter 20 and a three state inverter 10b.



LEGAL STATUS

[Date of request for examination] 13.03.1996

[Date of sending the examiner's decision of rejection] 22.06.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-244585

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
H 0 3 K 3/356			H 0 3 K 17/10	
17/10			3/356	D
17/687			17/687	F

審査請求 有 請求項の数 7 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願平8-46454

(22) 出願日 平成8年(1996)3月4日

(71) 出願人 000003193

凸版印刷株式会社

東京都台東区台東1丁目5番1号

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 陳 曉翔

東京都台東区台東1丁目5番1号 凸版印刷株式会社内

(72) 発明者 南崎 浩徳

神奈川県川崎市幸区堀川町580番の15 株式会社東芝半導体システム技術センター内

(74) 代理人 弁理士 志賀 正武 (外2名)

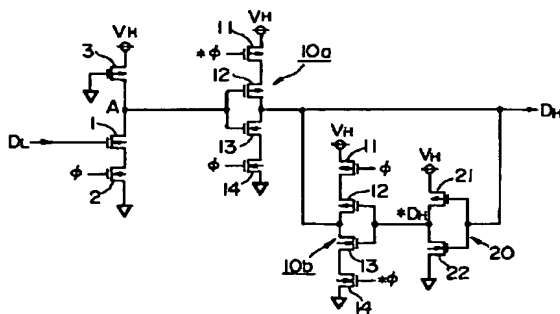
最終頁に続く

(54) 【発明の名称】 ラッチ機能付きレベルシフタ回路

(57) 【要約】

【課題】 ドライブ能力が高く、かつ、より少ないトランジスタで構成することができるばかりでなく、液晶表示装置のドライバICのレイアウトにおいてローの数を削減することができるラッチ機能付きレベルシフタ回路を提供すること。

【解決手段】 クロック信号φが「1」(反転クロック信号*φが「0」)の時3ステートインバータ10aには、NchFET1のゲートに入力される電圧VL系のデジタル信号を反転した、電圧VH系のデジタル信号が入力され、3ステートインバータ10aは、入力された信号をさらに反転して出力する。また、クロック信号φが「0」になると、3ステートインバータ10aはハイインピーダンス状態となり、インバータ20と3ステートインバータ10bとにより形成されるループによってクロック信号φが「0」になる直前の出力状態を保持する。



【特許請求の範囲】

【請求項1】 2値デジタル信号である制御信号が入力され、該制御信号がハイレベルの時、外部から入力される第1レベルのデジタル信号を該第1レベルよりも高いレベルである第2レベルのデジタル信号に変換して出力するレベル変換手段と、

前記制御信号が入力され、該制御信号がハイレベルの時、前記レベル変換手段から出力される第2レベルのデジタル信号の論理を反転して外部へ出力する第1の論理反転手段と、

前記第1の論理反転手段から出力される第2レベルのデジタル信号を反転する第2の論理反転手段と、

前記制御信号が入力され、該制御信号がローレベルの時、前記第2の論理反転手段から出力される第2レベルのデジタル信号を前記第1の論理反転手段の出力へ出力する第3の論理反転手段とからなることを特徴とするラッチ機能付きレベルシフト回路。

【請求項2】 前記レベル変換手段は、前記制御信号が入力されるゲートと接地されたソースを有する第1のNチャネル電界効果トランジスタと、前記第1のNチャネル電界効果トランジスタのドレインと接続されたソースと前記第1レベルのデジタル信号が入力されるゲートを有する第2のNチャネル電界効果トランジスタと、

前記第2のNチャネル電界効果トランジスタのドレインと接続されたドレインと接地されたゲートと前記第2レベルのデジタル信号のハイレベルと同電圧値が印加されたソースとを有するPチャネル電界効果トランジスタとからなり、前記第2のNチャネル電界効果トランジスタのドレインと前記Pチャネル電界効果トランジスタのドレインとの接続点が前記第1の論理反転手段の入力に接続され、かつ、前記第1、第2のNチャネル電界効果トランジスタおよびPチャネルFETがオンになった時の前記接続点における電圧が、

$$V_A = V_H \{ (R_{N1} + R_{N2}) / (R_P + R_{N1} + R_{N2}) \} < V_{th}$$

(但し、 V_A は前記第1、第2のNチャネル電界効果トランジスタおよびPチャネルFETがオンになった時の前記接続点における電圧、 V_H は第2レベルのデジタル信号のハイレベルの電圧、 R_{N1} は第1のNチャネル電界効果トランジスタのオン抵抗、 R_{N2} は第2のNチャネル電界効果トランジスタのオン抵抗、 R_P はPチャネルFETのオン抵抗、 V_{th} は前記第1の論理反転手段の入力しきい値電圧)なる条件を満たすことを特徴とする請求項1記載のラッチ機能付きレベルシフト回路。

【請求項3】 前記レベル変換手段は、前記制御信号が入力されるゲートと接地されたソースを有する第1のNチャネル電界効果トランジスタと、前記第1のNチャネル電界効果トランジスタのドレインと接続されたソースと前記第1レベルのデジタル信号が

入力されるゲートを有する第2のNチャネル電界効果トランジスタと、

前記第2のNチャネル電界効果トランジスタのドレインと接続されたドレインと前記制御信号が入力されたゲートと前記第2レベルのデジタル信号のハイレベルと同電圧値が印加されたソースとを有するPチャネル電界効果トランジスタとからなり、前記第2のNチャネル電界効果トランジスタのドレインと前記Pチャネル電界効果トランジスタのドレインとの接続点が前記第1の論理反転手段の入力に接続されていることを特徴とする請求項1記載のラッチ機能付きレベルシフト回路。

【請求項4】 前記第1の論理反転手段の出力と接続されたゲートと前記第2レベルのデジタル信号のハイレベルと同電圧値が印加されたソースと前記第1の論理反転手段の入力と接続されたドレインとを有するPチャネル電界効果トランジスタを具備することを特徴とする請求項3記載のラッチ機能付きレベルシフト回路。

【請求項5】 前記第2のNチャネル電界効果トランジスタの代わりに、複数の前記第1レベルのデジタル信号が入力され、該複数の第1レベルのデジタル信号の状態が所定の条件を満たした時にオンとなる論理回路を具備することを特徴とする請求項2ないし4のうちいずれか1項記載のラッチ機能付きレベルシフト回路。

【請求項6】 前記論理回路は、第3、第4のNチャネル電界効果トランジスタとからなり、該第3のNチャネル電界効果トランジスタのソースと該第4のNチャネル電界効果トランジスタのドレインが接続され、該第3、第4のNチャネル電界効果トランジスタの各ゲートに入力される2つの第1レベルのデジタル信号が共にハイレベルの時オンとなることを特徴とする請求項5記載のラッチ機能付きレベルシフト回路。

【請求項7】 第1レベルの3ビットのデジタルデータをデコードし、該デコード結果を第1レベルよりも高いレベルである第2レベルのデジタル信号に変換して出力すると共に外部から入力される制御信号によって、該デコード結果を保持するデコーダであって、該デコーダは、

請求項2記載のラッチ機能付きレベルシフト回路と、第1ないし第4の請求項6記載のラッチ機能付きレベルシフト回路と、

1つの入力端と2つの出力端を有し、前記請求項2記載のラッチ機能付きレベルシフト回路から出力される第2レベルのデジタル信号に基づいて、前記1つの入力端に入力された信号を2つの出力端のうちのいずれか1つから出力する切換手段であって、前記第1ないし第4の請求項6記載のラッチ機能付きレベルシフト回路の各々に対応して設けられる第1ないし第4の切換手段とからなり、

前記請求項2記載のラッチ機能付きレベルシフト回路の第2のNチャネル電界効果トランジスタのゲートには、前記

3ビットのデジタルデータの最下位ビットが入力され、前記第1の請求項6記載のラッチ機能付きレベルシフト回路の第3、第4のNチャネル電界トランジスタの各ゲートには前記3ビットのデジタルデータの第2ビットの反転信号と、最上位ビットの反転信号が入力され、前記第2の請求項6記載のラッチ機能付きレベルシフト回路の第3、第4のNチャネル電界トランジスタの各ゲートには前記3ビットのデジタルデータの第2ビットの信号と、最上位ビットの反転信号が入力され、前記第3の請求項6記載のラッチ機能付きレベルシフト回路の第3、第4のNチャネル電界トランジスタの各ゲートには前記3ビットのデジタルデータの第2ビットの反転信号と、最上位ビットの信号が入力され、前記第4の請求項6記載のラッチ機能付きレベルシフト回路の第3、第4のNチャネル電界トランジスタの各ゲートには前記3ビットのデジタルデータの第2ビットの信号と、最上位ビットの信号が入力されていることを特徴とするデコーダ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示装置のTFT(thin film transistor)駆動用ドライバICに用いて好適なラッチ機能付きレベルシフト回路に関する。

【0002】

【従来の技術】従来より、液晶表示装置の駆動方式としてTFT駆動方式がある。TFT駆動方式は階調表示の品質が高く、画面の明るさやコントラストが優れ、表示画質が高いという特徴を有している。また、応答速度が速い、視野角が広いといった画質以外の性能面においても優れている。このTFT駆動方式の原理を、図10を参照して説明する。この図において、50は薄膜トランジスタであり、外部からソース線51を通して電圧が入力され、ゲート線52に電圧が印加された時、ソース線51に入力された電圧を液晶層53に印加する。これにより液晶層53の液晶分子は角度を変え、バックライト等からの光を通過させる。また階調表示は、ソース線51に入力する電圧を変化させ、液晶層53の液晶分子の角度を制御することにより行われる。

【0003】一般に、液晶ディスプレイは図10に示す回路をマトリクス状に多数(例えばVGA(video graphics array)の場合、640×480個)配置することによって構成されている。このような液晶ディスプレイにおいては、TFT駆動用のドライバIC(以下、単にドライバICという)を用いて各行の薄膜トランジスタに各々画像データに基づく電圧を印加し、1行毎に順次薄膜トランジスタをONして行くことにより、画像の表示を行っている。

【0004】上述したドライバICには、従来、外部から入力される階調制御用のデジタルデータを保持するデ

ータラッチ部と、入力されたデジタルデータに基づいて液晶ディスプレイの各薄膜トランジスタに電圧を印加するドライバ部等の回路が含まれている。そして、データラッチ部においては、低消費電力化を図るために駆動電圧を従来の5Vから3Vに低下させた他のデジタルICに合わせるため、駆動電圧を3Vにしている。また、ドライバ部においては、液晶表示装置の応答特性を向上させるため、すなわち、ごく短時間で液晶分子の角度を変化させるために、より高い電圧が必要となり、このため駆動電圧は従来通り5Vの電圧が用いられている。このように、ドライバICには1つのIC内に異なる電圧で駆動する回路が混在するため、データラッチ部から出力される3V系の信号を5V系の信号に昇圧するレベルシフト部が設けられている。

【0005】ここで、図11に従来のデータラッチ部とレベルシフト部の回路構成を示す。この図において、60はデータラッチ部であり、70はレベルシフト部である。また、データラッチ部60は、各々PチャネルまたはNチャネル電界効果トランジスタ(以下、それぞれPchFET、NchFETという)によって構成される回路61a、61bおよび回路62からなっている。回路61aは直列に接続されたPchFET611、612とNchFET613、614からなり、PchFET611のソースには3Vの電圧が印加され、NchFET614のソースは接地されている。

【0006】そして、NchFET614のゲートには3Vの電圧で「1」を表し、接地電位で「0」を表すデジタル信号(以下、3V系のデジタル信号という)であるクロック信号φが入力されている。また、PchFET611のゲートには上記クロック信号φを反転した反転クロック信号*φ(3V系)が入力されている。さらに、PchFET612とNchFET613のゲートには、外部からデジタルデータのビット信号D(3V系)が入力され、また、PchFET612のドレインとNchFET613ドレインの接続点1は、回路62のPchFET621とNchFET622のゲートおよびレベルシフト部70のNchFET702のゲートにそれぞれ接続されている。

【0007】回路62は、直列に接続されたPchFET621とNchFET622からなり、PchFET621のソースには3Vの電圧が印加され、NchFET622のソースは接地されている。また、PchFET621のドレインとNchFET622のドレインの接続点2は、回路61bのPchFET612およびNchFET613のゲートと、レベルシフト部70のNchFET701のゲートにそれぞれ接続されている。

【0008】回路61bは、回路61aと同一の構成を有するが、クロック信号φはPchFET611のゲートに入力され、反転クロック信号*φはNchFET614のゲートに入力されている。また、PchFET6

12のドレインとNchFET613のドレインとの接続点口は回路62のPchFET621およびNchFET622のゲートに接続されている。

【0009】ここで、上述した回路61aは、例えばクロック信号φが「0」、すなわち、反転クロック信号*φが「1」の時、PchFET611とNchFET614は共にOFFになり、出力はハイインピーダンス状態となる。一方、クロック信号φが「1」、すなわち、反転クロック信号*φが「0」の時、PchFET611とNchFET614は共にONになり、この状態でPchFET612とNchFET613のゲートに「0」が10 入力されるとPchFET612がON、NchFET613がOFFとなって、回路61aからは電圧3V、すなわち3V系のデジタル信号の「1」が出力される。また、PchFET612とNchFET613のゲートに「1」が1入力されるとPchFET612がOFF、NchFET613がONとなって、回路61aからは接地電位、すなわち3V系のデジタル信号の「0」が出力される。

【0010】このように、回路61aは、クロック信号φが「1」の時はインバータとして機能し、「0」の時はその出力がハイインピーダンス状態となる一種の3ステートインバータと言える。また、これと同様に回路61bはクロック信号φが「0」の時はインバータとして機能し、「1」の時はその出力がハイインピーダンス状態となる3ステートインバータと言える。そして、回路62はPchFET621およびNchFET622のゲートに「1」が1入力されるとPchFET621がOFF、NchFET622がONとなって、回路61aから接地電位すなわち「0」が出力される。また、「0」が1入力されるとPchFET621がON、NchFET622がOFFとなって、回路61aからは電圧3Vすなわち「1」が出力される。したがって、回路62はインバータとして機能する。

【0011】一方、レベルシフト部70は、NchFET701、702およびPchFET703、704により構成されている。PchFET703、704のソースにはそれぞれ5Vの電圧が印加され、NchFET701、702のソースは各々接地されている。そして、NchFET701とPchFET703のドレイン同士は接続され、その接続点はPchFET704のゲートとも接続されている。また、NchFET702とPchFET704のドレイン同士も接続され、その接続点はPchFET703のゲートと接続されている。さらにNchFET702のドレインとPchFET704のドレインの接続点は、図示せぬドライバ部に接続されている。

【0012】上述した図11の回路における動作は、まず、データラッチ部60において、クロック信号φが「1」、反転クロック信号*φが「0」の時、回路61

bの出力はハイインピーダンス状態になり、これに対し、回路61aは可動状態になって、外部から入力されるデジタル信号Dを反転してその信号*Dをレベルシフト部70のNchFET702のゲートと回路62に出力する。また、回路62は反転されたデジタル信号*Dをさらに反転してレベルシフト部70のNchFET701のゲートに出力する。

【0013】例えば回路61aに入力されたデジタル信号Dが「1」であった場合、レベルシフト部70のNchFET702のゲートには「0」が、また、NchFET701のゲートには「1」が1入力される。これにより、NchFET701がON、また、NchFET702がOFFになるので、PchFET704はONとなって、図示せぬドライバ部に対して5V系のデジタル信号の「1」（電圧5V）が出力される。

【0014】一方、デジタル信号Dが「0」であった場合、レベルシフト部70のNchFET702のゲートには「1」が、また、NchFET701のゲートには「0」が1入力される。これにより、NchFET701がOFF、NchFET702がONとなり、PchFET703がONとなってPchFET704のゲートに「1」を出力する。したがって、PchFET704はOFFになり、また、この時NchFET702はONになっているので、図示せぬドライバ部に対して5V系のデジタル信号の「0」（接地電位）が出力される。

【0015】次にクロック信号φが「0」、反転クロック信号*φが「1」になると、回路61aの出力がハイインピーダンス状態になり、回路61bが可動状態になるので、上述した回路61aから出力された信号は、回路61bと回路62とにより形成されるループによって保持され、これにより、レベルシフト部70から出力されていた電圧も、次にクロック信号φが「1」、反転クロック信号*φが「0」になるまで保持される。このように、図11の回路は、外部から入力される3V系のデジタル信号を5V系のデジタル信号に昇圧すると共に、クロック信号φに従って出力状態を保持する。

【0016】ここで、上述したドライバICを例えばC-MOS (complementary metal oxide semiconductor) により実際にIC化する場合、そのICチップのレイアウトは、図12に示すように、3Vの電圧によって駆動する回路を一行に配した回路列（以下、3V系のローという）80と、5Vの電圧によって駆動する回路を一行に配した回路列（以下、5V系のローという）90の2種類のローが必要になる。一例として、この図において各ローの幅は約80μmの長さを有し、各ローは約40μmの間隔をもって形成されるものとする。

【0017】図13は上述したローの詳細なレイアウトを示すもので、この図では3V系のローにおける図11のデータラッチ部60の回路62のレイアウトを示している。この図において、81は3Vの電源ラインであ

り、82はPchFET（図11のPchFET621に相当）、83はNchFET（図11のNchFET622に相当）、84は回路62の入力ライン、85は回路62の出力ライン、86は接地ラインを示している。また、電源ライン81と接地ライン86は、図13中、左右方向に延伸しており、その電源ライン81と接地ライン86の間に図11のデータラッチ部60の他の回路も形成されている。

【0018】そして、上述した各回路が形成されたICチップは、リードフレーム上に搭載後、樹脂封止され、あるいはTABテープ上に搭載されて、あるいは直接液晶表示装置のガラス板上に搭載されて、ドライバICとして用いられる。また、図14に示すように、一般にドライバIC95は、液晶表示装置本体100の額縁部分（同図中斜線部）において、同図中、X方向に一列に実装されている。

【0019】

【発明が解決しようとする課題】ところで、今日、液晶表示装置本体の小型化は、ノート型パーソナルコンピュータに代表される携帯用電子機器において強く望まれる所であり、この要望に応えるには、図14に示す液晶表示装置本体100の額縁部分のY方向の長さをできるだけ短くし、また、ドライバIC95を液晶表示部分110の幅（X方向の長さ）を大きく越えることなく配置することにより、液晶表示装置本体100の額縁部分の幅をできるだけ狭くする必要がある。

【0020】特に、額縁部分のY方向の長さを短くするには、ドライバICのチップにおいてY方向に対応する寸法をできるだけ短くしなければならず、このため、図15に示すように、ドライバICのICチップ96の形状を横長の長方形として、前述したロー80、90をICチップ96の短手方向に並べるようにレイアウトし、また、ICチップ96の長手方向が図14のX方向となるように、ドライバIC95を液晶表示装置本体100の額縁部分に実装させている。

【0021】したがって、ICチップ96の短手方向に形成するローの数を少なくすることにより、液晶表示装置本体100の額縁部分のY方向を短くすることができるが、例えば図12に示すようなレイアウトでは必然的に額縁部分のY方向の長さが長くなってしまふ。さらに、ICチップを小型化するには1つの回路になるべく多くの機能を持たせること、ICチップに形成するトランジスタの数を減らすことが肝要となり、特にトランジスタ数の削減は、製造工程の簡略化、歩留まりの向上、低消費電力化等、液晶表示装置本体の小型化以外の効果も期待できる。また、図11に示すレベルシフト部70は、その回路構成上、出力インピーダンスが高くなってしまい、次段の回路に対する駆動能力が低くなってしまっていた。

【0022】この発明は、このような事情に鑑みてな

れたものであり、ドライブ能力が高く、かつ、より少ないトランジスタで構成することができるばかりでなく、液晶表示装置のドライバICのレイアウトにおいてローの数を削減することができるラッチ機能付きレベルシフト回路を提供することを目的としている。

【0023】

【課題を解決するための手段】請求項1記載の発明は、2値デジタル信号である制御信号が入力され、該制御信号がハイレベルの時、外部から入力される第1レベルのデジタル信号を該第1レベルよりも高いレベルである第2レベルのデジタル信号に変換して出力するレベル変換手段と、前記制御信号が入力され、該制御信号がハイレベルの時、前記レベル変換手段から出力される第2レベルのデジタル信号の論理を反転して外部へ出力する第1の論理反転手段と、前記第1の論理反転手段から出力される第2レベルのデジタル信号を反転する第2の論理反転手段と、前記制御信号が入力され、該制御信号がローレベルの時、前記第2の論理反転手段から出力される第2レベルのデジタル信号を前記第1の論理反転手段の出力へ出力する第3の論理反転手段とからなることを特徴とするラッチ機能付きレベルシフト回路である。なお、上述したレベル変換手段、第1の論理反転手段、および、第3の論理変換手段の動作と、制御信号のレベル（ローレベルまたはハイレベル）との対応は反転させても良い。

【0024】請求項2記載の発明は、前記レベル変換手段は、前記制御信号が入力されるゲートと接地されたソースを有する第1のNチャネル電界効果トランジスタと、前記第1のNチャネル電界効果トランジスタのドレインと接続されたソースと前記第1レベルのデジタル信号が入力されるゲートを有する第2のNチャネル電界効果トランジスタと、前記第2のNチャネル電界効果トランジスタのドレインと接続されたドレインと接地されたゲートと前記第2レベルのデジタル信号のハイレベルと同電圧値が印加されたソースとを有するPチャネル電界効果トランジスタとからなり、前記第2のNチャネル電界効果トランジスタのドレインと前記Pチャネル電界効果トランジスタのドレインとの接続点が前記第1の論理反転手段の入力に接続され、かつ、前記第1、第2のNチャネル電界効果トランジスタおよびPチャネルFETがオンになった時の前記接続点における電圧が、
$$V_A = V_H \{ (R_{N1} + R_{N2}) / (R_P + R_{N1} + R_{N2}) \} < V_{th}$$

（但し、 V_A は前記第1、第2のNチャネル電界効果トランジスタおよびPチャネルFETがオンになった時の前記接続点における電圧、 V_H は第2レベルのデジタル信号のハイレベルの電圧、 R_{N1} は第1のNチャネル電界効果トランジスタのオン抵抗、 R_{N2} は第2のNチャネル電界効果トランジスタのオン抵抗、 R_P はPチャネルFETのオン抵抗、 V_{th} は前記第1の論理反転手段の入力

しきい値電圧)なる条件を満たすことを特徴とする請求項1記載のラッチ機能付きレベルシフタ回路である。

【0025】請求項3記載の発明は、請求項1記載のラッチ機能付きレベルシフタ回路において、前記レベル交換手段は、前記制御信号が入力されるゲートと接地されたソースを有する第1のNチャネル電界効果トランジスタと、前記第1のNチャネル電界効果トランジスタのドレインと接続されたソースと前記第1レベルのデジタル信号が入力されるゲートを有する第2のNチャネル電界効果トランジスタと、前記第2のNチャネル電界効果トランジスタのドレインと接続されたドレインと前記制御信号が入力されたゲートと前記第2レベルのデジタル信号のハイレベルと同電圧値が印加されたソースとを有するPチャネル電界効果トランジスタとからなり、前記第2のNチャネル電界効果トランジスタのドレインと前記Pチャネル電界効果トランジスタのドレインとの接続点が前記第1の論理反転手段の入力に接続されていることを特徴とする。

【0026】請求項4記載の発明は、請求項3記載のラッチ機能付きレベルシフタ回路において、前記第1の論理反転手段の出力と接続されたゲートと前記第2レベルのデジタル信号のハイレベルと同電圧値が印加されたソースと前記第1の論理反転手段の入力と接続されたドレインとを有するPチャネル電界効果トランジスタを具備することを特徴とする。

【0027】請求項5記載の発明は、請求項2ないし4のうちいずれか1項記載のラッチ機能付きレベルシフタ回路において、前記第2のNチャネル電界効果トランジスタの代わりに、複数の前記第1レベルのデジタル信号が入力され、該複数の第1レベルのデジタル信号の状態が所定の条件を満たした時にオンとなる論理回路を具備することを特徴とする。

【0028】請求項6記載の発明は、請求項5記載のラッチ機能付きレベルシフタ回路において、前記論理回路は、第3、第4のNチャネル電界効果トランジスタとからなり、該第3のNチャネル電界効果トランジスタのソースと該第4のNチャネル電界効果トランジスタのドレインが接続され、該第3、第4のNチャネル電界効果トランジスタの各ゲートに入力される2つの第1レベルのデジタル信号が共にハイレベルの時オンとなることを特徴とする。

【0029】請求項7記載の発明によれば、第1レベルの3ビットのデジタルデータをデコードし、該デコード結果を第1レベルよりも高いレベルである第2レベルのデジタル信号に変換して出力すると共に外部から入力される制御信号によって、該デコード結果を保持するデコーダであって、該デコーダは、請求項2記載のラッチ機能付きレベルシフタ回路と、第1ないし第4の請求項6記載のラッチ機能付きレベルシフタ回路と、1つの入力端と2つの出力端を有し、前記請求項2記載のラッチ機能付きレベルシフタ回路から出力される第2レベルのデ

ジタル信号に基づいて、前記1つの入力端に入力された信号を2つの出力端のうちのいずれか1つから出力する切換手段であって、前記第1ないし第4の請求項6記載のラッチ機能付きレベルシフタ回路の各々に対応して設けられる第1ないし第4の切換手段とからなり、前記請求項2記載のラッチ機能付きレベルシフタ回路の第2のNチャネル電界効果トランジスタのゲートには、前記3ビットのデジタルデータの最下位ビットが入力され、前記第1の請求項6記載のラッチ機能付きレベルシフタ回路の第3、第4のNチャネル電界効果トランジスタの各ゲートには前記3ビットのデジタルデータの第2ビットの反転信号と、最上位ビットの反転信号が入力され、前記第2の請求項6記載のラッチ機能付きレベルシフタ回路の第3、第4のNチャネル電界効果トランジスタの各ゲートには前記3ビットのデジタルデータの第2ビットの信号と、最上位ビットの反転信号が入力され、前記第3の請求項6記載のラッチ機能付きレベルシフタ回路の第3、第4のNチャネル電界効果トランジスタの各ゲートには前記3ビットのデジタルデータの第2ビットの反転信号と、最上位ビットの信号が入力され、前記第4の請求項6記載のラッチ機能付きレベルシフタ回路の第3、第4のNチャネル電界効果トランジスタの各ゲートには前記3ビットのデジタルデータの第2ビットの信号と、最上位ビットの信号が入力されていることを特徴とするデコーダである。

【0030】

【発明の実施の形態】以下、図面を参照して、この発明の一実施形態について説明する。

〔第1実施形態〕図1に第1実施形態におけるラッチ機能付きレベルシフタ回路を示す。この図において、1、2はNchFETであり、NchFET1のゲートには、外部から入力される第1レベルの電圧VL(例えば3V)系のデジタル信号DLが入力されている。また、NchFET1のソースはNchFET2のドレインに接続され、NchFET2のソースは接地されている。そして、NchFET2のゲートには、電圧VL系のクロック信号φが入力されている。

【0031】3はPchFETであり、そのソースには電圧VH(例えば5V)が印加されており、ドレインはNchFET1のドレインと接続されている。そして、PchFET3のゲートは接地されているため、PchFET3は常時ON状態におかれている。ここで、PchFET3のドレインとNchFET1のドレインの接続点Aの電位VAが以下の関係を満たすように、PchFET3のON抵抗RPおよびNchFET1、2のON抵抗RNが定められている。

$$V_A = V_H \{ R_N / (R_P + R_N) \} < V_{th}$$

ここで、Vthは次段の回路が入力されたデジタル信号を「0」として認識することができる入力しきい値電圧である(図2参照)。図2は、このVAとVthの関係を説明するための図であり、説明のために上述の「次段の回

路」FET11~14をインバータ31におきかえ、PchFET3をそのON抵抗 R_P 、NchFET1, 2をそのON抵抗 R_N だけで図示したものである。そして、接続点Aの電位 V_A は、インバータ31が入力されたデジタル信号を「0」として認識することができる入力しきい値電圧 V_{th} と上式の関係を満たすように R_P , R_N が決定される。

【0032】10a, 10bは、それぞれ図11の回路61aおよび回路61bと同様の構成をとる一種の3ステートインバータであり、3ステートインバータ10aはクロック信号 ϕ が「0」（反転クロック信号 $\ast\phi$ が「1」）の時、出力がハイインピーダンス状態となり、クロック信号 ϕ が「1」（反転クロック信号 $\ast\phi$ が「0」）の時、インバータとして機能する。また、3ステートインバータ10bはクロック信号 ϕ が「1」の時、ハイインピーダンス状態となり、クロック信号 ϕ が「0」の時、インバータとして機能する。但し、各3ステートインバータのPchFET12およびNchFET13のゲートには、「1」を電圧 V_H 、「0」を電圧 $0V$ によって表す電圧 V_H 系のデジタル信号が入力され、また、各PchFET11のソースには電圧 V_H が印加されており、電圧 V_H 系のデジタル信号を出力する。

【0033】20は図11の回路62と同様の構成をとるインバータであり、PchFET21およびNchFET22のゲートには3ステートインバータ10aから出力される電圧 V_H 系のデジタル信号が入力されている。そして、PchFET21のソースには電圧 V_H が印加されており、電圧 V_H 系のデジタル信号を出力する。また、PchFET3のドレインとNchFET1のドレインとの接続点Aは、3ステートインバータ10aの入力（PchFET12およびNchFET13のゲート）と接続され、3ステートインバータ10aの出力（PchFET12のドレインとNchFET13のドレインの接続点）は外部と接続されると共に、インバータ20の入力（PchFET21およびNchFET22のゲート）に接続されている。

【0034】さらに、インバータ20の出力（PchFET21のドレインとNchFET22のドレインの接続点）は3ステートインバータ10bの入力と接続され、3ステートインバータ10bの出力は、3ステートインバータ10aの出力、インバータ20の入力、および、外部と接続されている。すなわち、3ステートインバータ10bとインバータ20は、3ステートインバータ10aの出力側においてループを形成している。

【0035】次に上述したラッチ機能付きレベルシフト回路の動作について説明する。まず、クロック信号 ϕ が「1」（反転クロック信号 $\ast\phi$ が「0」）の場合、NchFET2はONとなり、この時、NchFET1のゲートに「1」（電圧 V_L ）が入力されると、NchFET

T1はONになって3ステートインバータ10aには前述した電圧 V_A が入力される。また、NchFET1のゲートに「0」（接地電位）が入力されると、NchFET1はOFFになって3ステートインバータ10aには電圧 V_H （電圧 V_H 系のデジタル信号の「1」）が入力される。このように、本実施形態のラッチ機能付きレベルシフト回路に入力された電圧 V_L 系のデジタル信号は、NchFET1, 2およびPchFET3により、電圧 V_H 系のデジタル信号に昇圧される。したがって、NchFET1, 2およびPchFET3は、本実施形態のラッチ機能付きレベルシフト回路のレベルシフト部と言える。

【0036】そして、3ステートインバータ10aは、クロック信号 ϕ が「1」、反転クロック信号 $\ast\phi$ が「0」であるためインバータとして機能し、電圧 V_A が入力された場合は、インバータ20および外部へ電圧 V_H （電圧 V_H 系のデジタル信号の「1」）を出力し、電圧 V_H が入力された場合は接地電位（電圧 V_H 系のデジタル信号の「0」）を出力する。また、インバータ20は3ステートインバータ10aから出力された信号を反転して3ステートインバータ10bへ出力する。ここで、3ステートインバータ10bは、クロック信号 ϕ が「1」、反転クロック信号 $\ast\phi$ が「0」であるため、その出力はハイインピーダンス状態になっており、これにより3ステートインバータ10a, 10bから同時に信号が出力されることはない。

【0037】この状態からクロック信号 ϕ が「0」（反転クロック信号 $\ast\phi$ が「1」）に転じると、NchFET2はOFFとなり、NchFET1のゲートに入力される電圧 V_L 系のデジタル信号の内容に関わらず、3ステートインバータ10aには電圧 V_H が入力される。ここで、3ステートインバータ10aはPchFET11およびNchFET14がそれぞれOFFになっているため、その出力はハイインピーダンス状態となり、入力された電圧 V_H を反転して出力することはない。

【0038】一方、この時3ステートインバータ10bはインバータとして機能し、クロック信号 ϕ が「0」（反転クロック信号 $\ast\phi$ が「1」）に転ずる直前に、インバータ20から出力されていたデジタル信号を反転して外部とインバータ20へ出力する。これにより、クロック信号 ϕ が「0」の時は、3ステートインバータ10bとインバータ20によって形成されるループによってクロック信号 ϕ が「0」（反転クロック信号 $\ast\phi$ が「1」）に転ずる直前のデジタル信号の状態が保持される。したがって、3ステートインバータ10a, 10bおよびインバータ20は、本実施形態のラッチ機能付きレベルシフト回路のラッチ部と言える。

【0039】このように、本実施形態におけるラッチ機能付きレベルシフト回路においては、クロック信号 ϕ が「1」の時、入力された電圧 V_L 系のデジタル信号 D_L

を電圧 V_H 系のデジタル信号に昇圧して出力すると共に、クロック信号 ϕ が「0」に転じた時は、その直前の出力信号の状態を保持する。

【0040】また、本実施形態におけるラッチ機能付きレベルシフト回路の電源電圧は、すべて電圧 V_H であるため、ラッチ部およびレベルシフト部の回路の電源電圧を1つに統合することができる。そして、本実施形態におけるラッチ機能付きレベルシフト回路の出力インピーダンスは図11に比べて低くなるため、駆動能力が向上することになり、さらに、本実施形態におけるラッチ機能付きレベルシフト回路を構成するトランジスタの数は13個であり、図11の回路に比べ3個のトランジスタを削減することができる。

【0041】〔第2実施形態〕図3に第2実施形態におけるラッチ機能付きレベルシフト回路を示す。この図において、図1に示すラッチ機能付きレベルシフト回路の各部に相当する部分については同一の符号を付し、その説明を省略する。ここで、3ステートインバータ10a、10bおよびインバータ20内部の各構成は図中省略されているが、図1の各部と同様の構成を有している。すなわち、図3において、例えば3ステートインバータ10aには、実際はクロック信号 ϕ および反転クロック信号 $\bar{\phi}$ が共に入力されているが、3ステートインバータ10aはクロック信号 ϕ が「1」の時インバータとして機能するので、図中にはクロック信号 ϕ のみを記載している。また、これと同様の理由で、3ステートインバータ10bには反転クロック信号 $\bar{\phi}$ のみを記載している。ここで、図3に示すラッチ機能付きレベルシフト回路が図1のものと異なる点は、PchFET3のゲートにもクロック信号 ϕ が入力されている点である。

【0042】以下に本実施形態におけるラッチ機能付きレベルシフト回路の動作について説明する。まず、クロック信号 ϕ が「0」の時は、NchFET2がOFF、PchFET3がONになって、3ステートインバータ10aに電圧 V_H が入力される。また、この時図中A点と3ステートインバータ10a間に存在する浮遊容量Cに充電が行われる。そして、クロック信号 ϕ が「1」になると、NchFET2がON、PchFET3がOFFになる。

【0043】この時、NchFET1のゲートに「1」が入力された場合はNchFET1はONとなり、浮遊容量Cに充電された電荷がNchFET1、2を通して放電され、3ステートインバータ10aには「0」が入力される。また、NchFET1のゲートに「0」が入力されてNchFET1がOFFになった場合は、浮遊容量Cに充電された電荷が3ステートインバータ10aに印加され、すなわち3ステートインバータ10aには「1」が入力されることになる。

【0044】以後の動作は第1実施形態と同様、クロック信号 ϕ が「1」の時は、3ステートインバータ10a

に入力された電圧 V_H 系のデジタル信号を反転して外部とインバータ20へ出力する。また、クロック信号 ϕ が「0」に転じると、その直前の出力信号の状態を保持する。本実施形態のラッチ機能付きレベルシフト回路によれば、NchFET2とPchFET3がクロック信号 ϕ に従って交互にON、OFFするので、第1実施形態のように、NchFET1、2が共にONになった場合、電流がPchFET3、NchFET1、2を介して流れるといったことがなく、これにより、レベルシフト部における消費電流を大幅に低減することができる。また、本実施形態においても、第1実施形態と同様に、出力インピーダンスを低くすることができるため、次段の回路に対する駆動能力が向上する。そして、ラッチ機能付きレベルシフト回路の電源電圧は、全て V_H であるため、ラッチ部およびレベルシフト部の回路の電源電圧を1つに統合することができ、ローを一系統化することができる。さらに、本実施形態におけるラッチ機能付きレベルシフト回路を構成するトランジスタの数は13個であり、図11の回路に比べ、3個のトランジスタを削減することができる。

【0045】〔第3実施形態〕図4に第3実施形態におけるラッチ機能付きレベルシフト回路を示す。この図において、図3に示すラッチ機能付きレベルシフト回路の各部に相当する部分については同一の符号を付し、その説明を省略する。図4において、図3のラッチ機能付きレベルシフト回路と異なる点は、PchFET4が追加されている点である。このPchFET4のゲートは3ステートインバータ10a、10bの各出力と接続され、ドレインは3ステートインバータ10aの入力と接続されている。また、ソースには電圧 V_H が印加されている。

【0046】ここで、前述した第2実施形態において、クロック信号 ϕ が「1」の時、NchFET1のゲートに「0」が入力された場合は、浮遊容量Cに充電された電荷が3ステートインバータ10aに印加され、これにより3ステートインバータ10aに「1」が入力されることは既に述べたが、その際、何らかの要因で浮遊容量に充電された電荷が放電されてしまうおそれがある。そのような場合、3ステートインバータ10aに「1」を表す正確な電圧（ここでは5V）を供給し続けることができなくなり、正常に動作しない可能性がある。第3実施形態において追加されたPchFET4は、そのような事態を避けるため、3ステートインバータ10aに入力する電圧 V_H 系デジタル信号の「1」の電圧を補償するものである。

【0047】以下、本実施形態におけるラッチ機能付きレベルシフト回路の動作について説明する。まず、クロック信号 ϕ が「0」の時、NchFET2がOFF、PchFET3がONとなって、浮遊容量Cが充電される。そして、クロック信号 ϕ が「1」になり、また、N

chFET1のゲートに「0」が入力されると、浮遊容量Cに充電された電荷が3ステートインバータ10aに印加され、これにより「1」が入力される。この時、3ステートインバータ10aは、「0」を出力するため、PchFET4はONとなって、3ステートインバータ10aに電圧VHが入力される。

【0048】したがって、この時点以降、クロック信号φが「1」で、NchFET1のゲートに「0」が入力されている間は、PchFET4がON状態に固定され、3ステートインバータ10aの入力には電圧VH系デジタル信号の「1」が安定して入力され続ける。また、クロック信号φが「0」の場合は3ステートインバータ10bとインバータ20からなるループによってクロック信号φが「0」になる直前の出力状態を保持する。このため、何らかの要因により浮遊容量Cの放電経路が存在したとしても、3ステートインバータ10aは安定して動作することができる。また、本実施形態においても、次段の回路に対する駆動能力が向上する点、ラッチ部およびレベルシフト部の回路の電源電圧を1つに統合することができ、ローを一系統化することができる点、トランジスタ数を削減することができる点は、第1、第2実施形態と同様の効果を有している。

【0049】〔第4実施形態〕図5に第4実施形態におけるラッチ機能付きレベルシフト回路を示す。この図において、図4に示すラッチ機能付きレベルシフト回路の各部に相当する部分については同一の符号を付し、その説明を省略する。図5において、図4のラッチ機能付きレベルシフト回路と異なる点は、NchFET1の代わりに論理回路5が追加されている点である。この論理回路5には種々の回路が考えられるが、何れにせよ外部より入力される電圧VL系のデジタル信号DL1~DLnの状態が、論理回路5に付された条件を満たす場合のみ、論理回路5はONとなる。

【0050】以下、図6ないし図8に上述した論理回路5の具体的な実施形態を示す。図6は上述した論理回路5として、入力される電圧VL系のデジタル信号DL1~DLnがすべて「1」の時ONとなるように、NchFET6-1~6-nの互いのドレインとソースを接続した回路6を用いた形態であり、論理回路6は一種のANDゲートの動作をする。

【0051】すなわち、クロック信号φが「1」の時、NchFET6-1~6-nのゲートにすべて「1」が入力された場合、3ステートインバータ10aに「0」が入力され、出力デジタル信号DHは「1」となる。また、この時NchFET6-1~6-nのゲートのうち、いずれか1つでも「0」が入力された場合は、3ステートインバータ10aには「1」が入力され、出力されるデジタル信号DHは「0」となる。さらに、この時PchFET4のゲートには「0」が入力されるので、3ステートインバータ10aの入力に電圧VHが印加さ

れ、電圧VH系デジタル信号の「1」を補償している。

【0052】なお、図6に示したラッチ機能付きレベルシフト回路は、図7に示すように、第2実施形態のラッチ機能付きレベルシフト回路(PchFET4を具備しないもの)にも適用可能であることは言うまでもない。

【0053】次に前述した論理回路5の他の具体的な実施形態を図8に示す。この図において、7は4つのNchFET7-1~7-4により構成され、エクスクルージブOR的な動作をする論理回路である。この論理回路7において、NchFET7-1のソースとNchFET7-2のドレイン、および、NchFET7-3のソースとNchFET7-4のドレインは、それぞれ互いに接続されている。また、NchFET7-1とNchFET7-3のドレイン同士は接続され、PchFET3のドレインと3ステートインバータ10aの入力に接続されている。さらに、NchFET7-2とNchFET7-4のソース同士は接続され、NchFET2のドレインに接続されている。

【0054】そして、NchFET7-1とNchFET7-3のゲートには、電圧VL系のデジタル信号DLaと、その反転信号*DLaが各々入力され、また、NchFET7-2とNchFET7-4のゲートには、電圧VL系のデジタル信号DLbと、その反転信号*DLbが各々入力されている。このような論理回路7において、クロック信号φが「1」の時、例えばデジタル信号DLaが「0」(*DLaは「1」)、デジタル信号DLbが「1」(*DLbは「0」)だったとすると、NchFET7-3、7-4は共にOFFとなるが、NchFET7-1、7-2が共にONとなる。このため、3ステートインバータ10aには「0」が入力され、外部に出力される電圧VH系のデジタル信号DHは「1」となる。

【0055】この状態からクロック信号φが「0」に転じると、3ステートインバータ10aはハイインピーダンス状態となり、また、3ステートインバータ10bは可動状態となるので、インバータ20および3ステートインバータ10bにより形成されるループによって外部に出力されるデジタル信号DHは「1」のまま保持される。また、デジタル信号DLaが「1」(*DLaは「0」)、デジタル信号DLbが「0」(*DLbは「1」)だった場合にも、NchFET7-3、7-4が共にON、NchFET7-1、7-2が共にOFFとなって、上述した動作と同様の動作が行われる。

【0056】一方、クロック信号φが「1」の時、例えばデジタル信号DLaおよびDLbが共に「0」(*DLa、*DLbは共に「1」)だったとすると、NchFET7-1はON、NchFET7-2はOFFとなり、また、NchFET7-3はOFF、NchFET7-4はONとなって、3ステートインバータ10aには浮遊容量Cに充電された電荷が印加され、すなわち、「1」が入力される。これにより、外部に出力される電圧VH

系のデジタル信号DHは「0」となる。また、この状態からクロック信号φが「0」に転じると、3ステートインバータ10aは、ハイインピーダンス状態となり、インバータ20および3ステートインバータ10bにより形成されるループによって、外部に出力されるデジタル信号DHは「0」のまま保持される。

【0057】そして、デジタル信号DLaおよびDLbが共に「1」（*DLa、*DLbは共に「0」）の時にクロック信号φが「1」（すなわち、反転クロック信号*φは「0」）になった時にも上述した動作と同様の動作が行われる。以上をまとめると、電圧VL系のデジタル信号DLa、DLbが共に「0」または「1」の時、外部へ出力される電圧VH系のデジタル信号DHは「0」となり、デジタル信号DLaが「0」、DLbが「1」、もしくは、デジタル信号DLaが「1」、DLbが「0」の時、デジタル信号DHは「1」となる。このように、図8のラッチ機能付きレベルシフタ回路においては、論理回路7によって、入力される電圧VL系のデジタル信号DLa、DLbのエクスクルーシブオアがとられ、その結果は昇圧され、また、クロック信号φに従って保持される。

【0058】なお、図8のラッチ機能付きレベルシフタ回路にも、クロック信号φが「1」、かつ、論理回路7がOFFの状態になった時、3ステートインバータ10aに入力する電圧VL系のデジタル信号の「1」の状態を補償する目的で、図6と同様にPchFET4を追加してもよい。

【0059】このように、本実施形態におけるラッチ機能付きレベルシフタ回路によれば、簡単な回路の追加により、図4に示すラッチ機能付きレベルシフタ回路に、さらに機能を追加することができるので、より少ないトランジスタにより、多機能なレベルシフタ回路を構成することができ、よって、液晶表示装置のドライバICのチップをより小型化することができる。

【0060】〔第5実施形態〕図9に本実施形態の回路を示す。本実施形態では、上述したラッチ機能付きレベルシフタ回路を用い、3入力-8出力のデコーダ回路を構成した場合について説明する。図9において、40は第1実施形態で述べた図1のラッチ機能付きレベルシフタ回路と同一回路であり、NchFET1のゲートには電圧VL系の3ビットのデジタルデータの第1ビット（最下位ビット）D0が入力されている。また、NchFET2のゲートにはクロック信号φが入力されている。

【0061】41a~41dはラッチ機能付きレベルシフタ回路40とほぼ同様のラッチ機能付きレベルシフタ回路であるが、NchFET1とNchFET2の間に、NchFET8が追加されている点が異なっている。すなわち、NchFET8のドレインはNchFET1のソースに接続され、NchFET8のソースはNchFET2のドレインに接続されている。ここで、図

9において、ラッチ機能付きレベルシフタ回路41aのみ、その内部構成を図示しているが、ラッチ機能付きレベルシフタ回路41b~41dについても同様の構成を有している。

【0062】ラッチ機能付きレベルシフタ回路41aのNchFET1のゲートは、インバータ9bによって反転された第2ビットDL1の反転信号*DL1が出力されている信号ライン32と接続され、NchFET8のゲートは、インバータ9aにより反転された第3ビット（最上位ビット）DL2の反転信号*DL2が出力されている信号ライン30と接続されている。ラッチ機能付きレベルシフタ回路41bのNchFET1のゲートは、第2ビットDL1が出力されている信号ライン33と接続され、NchFET8のゲートは、信号ライン30と接続されている。

【0063】ラッチ機能付きレベルシフタ回路41cのNchFET1のゲートは、信号ライン33と接続され、NchFET8のゲートは、第3ビットDL2が出力されている信号ライン31と接続されている。ラッチ機能付きレベルシフタ回路41dのNchFET1のゲートは、信号ライン32と接続され、NchFET8のゲートは、信号ライン30と接続されている。さらに、ラッチ機能付きレベルシフタ回路41a~41dの各NchFET2のゲートには、クロック信号φがそれぞれ入力されている。

【0064】42a~42dは切換回路であり、各々同一の構成を有しているため切換回路42aのみ、その構成を図示する。25aおよび26aはそれぞれNchFETとPchFETであり、NchFET25aのドレインとPchFET26aのソースは互いに接続され、ラッチ機能付きレベルシフタ回路41aの3ステートインバータ10aと接続されている。また、NchFET25aのソースとPchFET26aのドレインも互いに接続され、その接続点a1からはデコード信号SH1が出力される。

【0065】そして、NchFET25aのゲートは、ラッチ機能付きレベルシフタ回路40のインバータ20の出力と接続され、PchFET26aのゲートはその入力がラッチ機能付きレベルシフタ回路40のインバータ20の出力と接続されたインバータ27aの出力と接続されている。28aはNchFETであり、そのドレインはNchFET25aのソースとPchFET26aのドレインの接続点に接続されている。また、ソースは接地され、ゲートはラッチ機能付きレベルシフタ回路40の3ステートインバータ10aの出力と接続されている。

【0066】また、NchFET25b、PchFET26b、インバータ27b、NchFET28bも、上述したNchFET25a、PchFET26a、インバータ27a、NchFET28aと同様の接続関係を

10

20

30

40

50

有しているが、以下の点が異なっている。すなわち、NchFET25bのゲートとインバータ27bの入力は、それぞれラッチ機能付きレベルシフタ回路40の3ステートインバータ10aの出力と接続され、NchFET28bのゲートはラッチ機能付きレベルシフタ回路40のインバータ20の出力と接続されている。また、NchFET25bのソースとPchFET26bのドレインの接続点b1からは、デコード信号SH2が出力される。

【0067】さらに図示を略した切換回路42b～42dと、ラッチ機能付きレベルシフタ回路40、および、*

* 各々対応するラッチ機能付きレベルシフタ回路41b～41dとの接続関係は、上述した切換回路42aと、ラッチ機能付きレベルシフタ回路40および41aとの接続関係と同様の接続関係を有している。ここで、切換回路42aの中の接続点a1、b1に対応する切換回路42b～42dの中の接続点をそれぞれ、a2～a4、b2～b4とすると、接続点a2～a4、b2～b4と、その各接続点から出力されるデコード信号の関係は表1のようになる。

【表1】

切換回路	接続点	デコード信号
42b	a ₂	SH3
	b ₂	SH4
42c	a ₃	SH5
	b ₃	SH6
42d	a ₄	SH7
	b ₄	SH8

【0068】次に、上述した3入力-8出力のデコーダ回路の動作について説明する。まず、電圧VL系の3ビットのデジタルデータが「000」であった場合の動作について説明する。クロック信号φが「1」（すなわち、反転クロック信号φが「0」）の時、まず、ラッチ機能付きレベルシフタ回路41aのNchFET1, 8のゲートには共に「1」が入力されるので、NchFET1, 8は各々ONとなる。また、クロック信号φが「1」であるためNchFET2もONとなり、3ステートインバータ10aには「0」が入力される。

【0069】そして、ラッチ機能付きレベルシフタ回路41aの3ステートインバータ10aは、電圧VH系のデジタル信号の「1」（電圧VH）を切換回路42aのNchFET25aのドレインとPchFET26aのソース、および、NchFET25bのドレインとPchFET26bのソースにそれぞれ出力する。この時、ラッチ機能付きレベルシフタ回路40では、NchFET1に「0」が入力されているためNchFET1はOFFとなり、3ステートインバータ10aには電圧VH系のデジタル信号の「1」が入力される。したがって、ラッチ機能付きレベルシフタ回路40の3ステートインバータ10aは電圧VH系のデジタル信号の「0」を出力し、また、インバータ20は電圧VH系のデジタル信号の「1」を出力する。

【0070】これにより、切換回路42a～42dのすべてのNchFET25aとPchFET26aは共にONとなり、また、NchFET28aはOFFになる。一方、切換回路42a～42dのすべてのNchFET25bとPchFET26bは共にOFFとなり、

NchFET28bはONになる。このため、ラッチ機能付きレベルシフタ回路41aの3ステートインバータ10aから出力された電圧VH系のデジタル信号の「1」は、切換回路42aのNchFET25aとPchFET26aを通過して外部へ出力される。したがって、デコード信号SH1は電圧VH系のデジタル信号の「1」となる。また、デコード信号SH2はNchFET28bがONになっているため、「0」となる。

【0071】また、他のラッチ機能付きレベルシフタ回路41b～41dにおいては、NchFET1または8のいずれか一方、もしくは両方がOFFになっているため、各々の3ステートインバータ10aには「1」が入力されており、これにより各々対応する切換回路42b～42dには「0」が出力される。したがって、デコード信号SH3～SH8は全て「0」となる。

【0072】この状態からクロック信号φが「0」になると、ラッチ機能付きレベルシフタ回路40、41a～41dの各3ステートインバータ10bおよびインバータ20によって形成されるループによって各々のラッチ機能付きレベルシフタ回路の出力状態が保持され、これにより、デコード信号SH1～SH8もその状態が保持される。

【0073】次に、電圧VL系の3ビットのデジタルデータが「001」であった場合の動作について説明する。クロック信号φが「1」（すなわち、反転クロック信号φが「0」）の時、まず、ラッチ機能付きレベルシフタ回路41aのNchFET1, 8のゲートには共に「1」が入力されるので、NchFET1, 8は各々ONとなる。また、クロック信号φが「1」であるため

NchFET2もONとなり、3ステートインバータ10aには「0」が入力される。

【0074】そして、ラッチ機能付きレベルシフト回路41aの3ステートインバータ10aは、電圧VH系のデジタル信号の「1」（電圧VH）を切換回路42aのNchFET25aのドレインとPchFET26aのソース、および、NchFET25bのドレインとPchFET26bのソースにそれぞれ出力する。この時、ラッチ機能付きレベルシフト回路40では、NchFET1に「1」が入力されているためNchFET1はONとなり、3ステートインバータ10aには「0」が入力される。したがって、ラッチ機能付きレベルシフト回路40の3ステートインバータ10aは電圧VH系のデジタル信号の「1」を出力し、また、インバータ20は電圧VH系のデジタル信号の「0」を出力する。

【0075】これにより、切換回路42a～42dのすべてのNchFET25aとPchFET26aは共にOFFとなり、また、NchFET28aはONになる。一方、すべてのNchFET25bとPchFET26bは共にONとなり、NchFET28bはOFFになる。このため、ラッチ機能付きレベルシフト回路41aの3ステートインバータ10aから出力された電圧VH系のデジタル信号の「1」は、切換回路42aのNchFET25bとPchFET26bを通過して外部へ出力される。したがって、デコード信号SH2が電圧VH系のデジタル信号の「1」となる。また、デコード信

*号SH1はNchFET28aがONになっているため、「0」となる。

【0076】この状態からクロック信号φが「0」になると、ラッチ機能付きレベルシフト回路40、41a～41dの各3ステートインバータ10bおよびインバータ20によって形成されるループによって各々のラッチ機能付きレベルシフト回路の出力状態が保持され、これにより、デコード信号SH1～SH8もその状態が保持される。

10 【0077】以下、クロック信号φが「1」の時、3ビットのデジタルデータのうち、上位2ビットDL2、DL1が各々「0」、「1」であれば、ラッチ機能付きレベルシフト回路41bから、また、「1」、「0」であれば、ラッチ機能付きレベルシフト回路41cから、さらに、「1」、「1」であれば、ラッチ機能付きレベルシフト回路41dから「1」が出力される。また、それぞれの場合において、最下位ビットDL0に従って各々対応するラッチ機能付きレベルシフト回路から入力される信号を、各切換回路の接続点a1～a4、もしくは、接続点b1～b4から出力する。

20 【0078】以上の動作を真理値表にまとめたものを表2に示す。すなわち、表2はクロック信号φが「1」である場合に、3ビットのデジタルデータDL2、DL1、DL0の信号に対して、デコード信号SH1～SH8の値がどのようなになるかを示したものである。

【表2】

DL2	DL1	DL0	SH1	SH2	SH3	SH4	SH5	SH6	SH7	SH8
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

この表からもわかるように、本実施形態のデコーダ回路によれば、入力された電圧VL系の3ビットのデジタルデータを、電圧VH系のデジタル信号に昇圧してデコードすることができ、さらにクロック信号φに従ってその出力状態を保持する。

【0079】

【発明の効果】以上説明したように、本発明のラッチ機能付きレベルシフト回路によれば、レベルシフト部とラッチ部は共に1種類の電圧で駆動するため、液晶表示装置のドライバのIC化に際して、ローを一系統化することができ、かつ、従来の同等機能を有する回路よりもFETの数を少なく構成することができるので、ICチップのサイズを大幅に小型化することが可能となる。ま

た、出力インピーダンスを低くすることができるため、従来の回路と比べて次段の回路に対する駆動能力が向上する。さらに、構成するトランジスタ数の減少により、消費電力を低下させることができるばかりでなく、製造工程の簡略化可能となり、歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】 この発明の第1実施形態によるラッチ機能付きレベルシフト回路の構成を示す電気接続図である。

【図2】 同ラッチ機能付きレベルシフト回路におけるレベルシフト部の各FETがONになった時の等価回路を示す回路図である。

【図3】 この発明の第2実施形態によるラッチ機能付

きレベルシフト回路の構成を示すブロック図である。

【図4】 この発明の第3実施形態によるラッチ機能付きレベルシフト回路の構成を示すブロック図である。

【図5】 この発明の第4実施形態によるラッチ機能付きレベルシフト回路の構成を示すブロック図である。

【図6】 同ラッチ機能付きレベルシフト回路の論理回路部分の一具体例を示すブロック図である。

【図7】 同ラッチ機能付きレベルシフト回路の他の形態を示すブロック図である。

【図8】 同ラッチ機能付きレベルシフト回路の論理回路部分の他の具体例を示すブロック図である。

【図9】 この発明の第5実施形態による3入力-8出力のデコーダ回路の構成を示すブロック図である。

【図10】 TFT駆動方式の原理を説明するための説明図である。

【図11】 従来のドライバIC内におけるデータラッチ部とレベルシフト部の回路構成を示す電気接続図であ*

＊る。

【図12】 同ドライバICのレイアウトにおけるローの概念を説明するための説明図である。

【図13】 同レイアウトにおけるローの詳細なレイアウト例を説明するための説明図である。

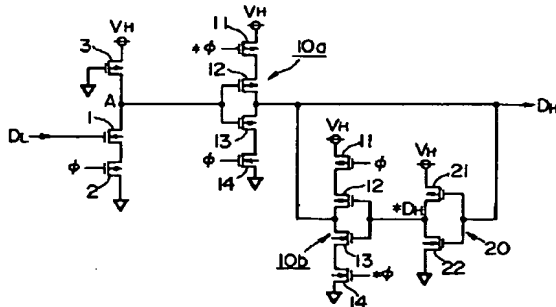
【図14】 液晶パネルの額縁部分を説明するための説明図である。

【図15】 ICチップ内におけるローのレイアウトを説明するための説明図である。

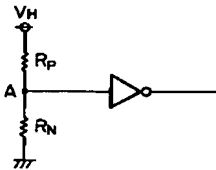
【符号の説明】

1, 2……NchFET、3, 4……PchFET、5……論理回路、6-1, 6-2, …, 6-n……NchFET、7-1, 7-2, 7-3, 7-4……NchFET、9a, 9b, 27a, 27b……インバータ、25a, 25b, 28a, 28b……NchFET、26a, 26b……PchFET、10a, 10b……3ステートインバータ、20……インバータ

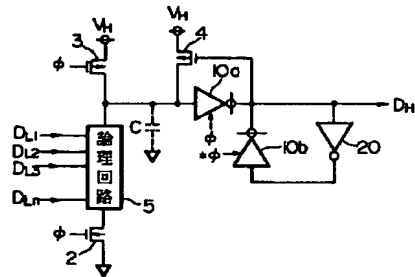
【図1】



【図2】

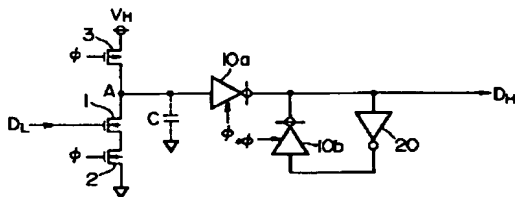


【図5】

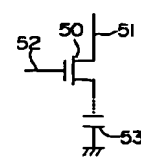
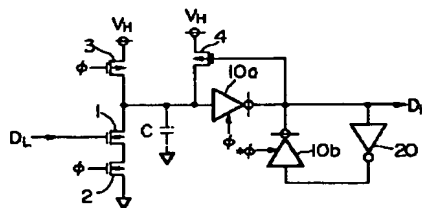


【図10】

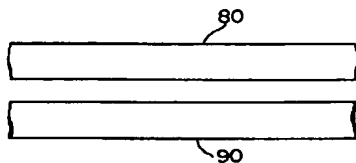
【図3】



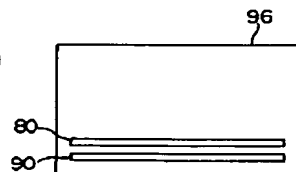
【図4】



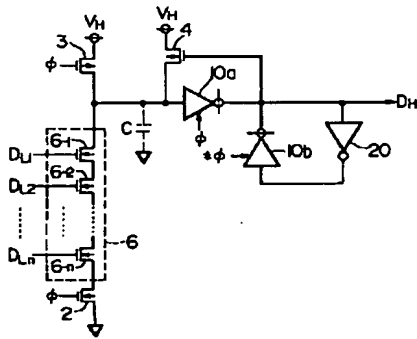
【図12】



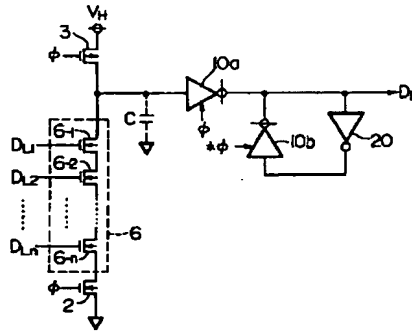
【図15】



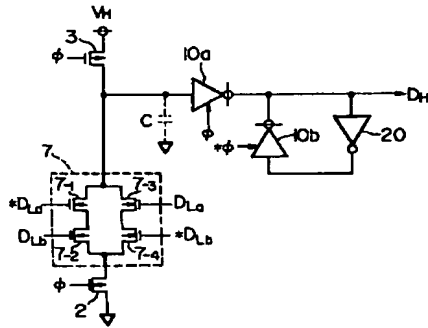
【図6】



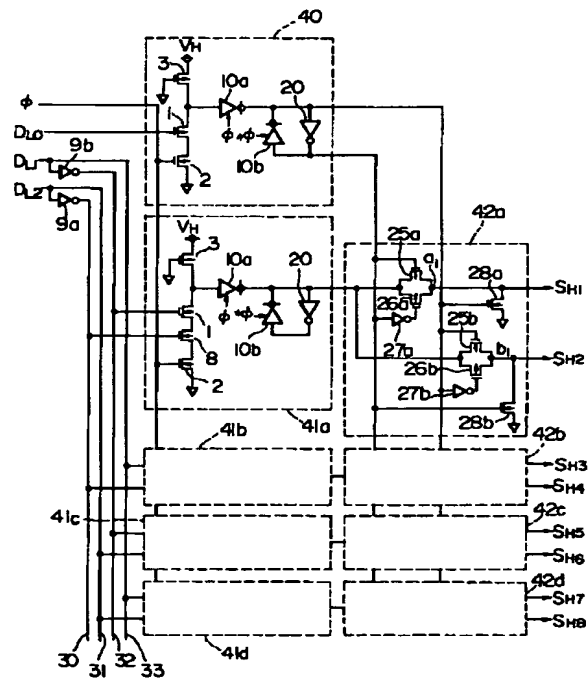
【図7】



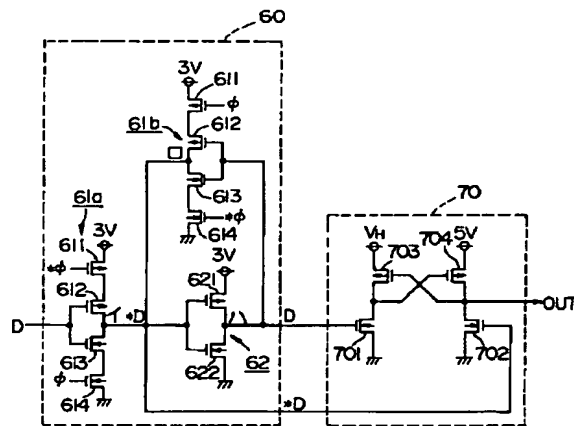
【図8】



【図9】



【図11】



フロントページの続き

(51)Int.Cl.⁵
H03K 19/0185

識別記号 庁内整理番号

F I
H03K 19/00

技術表示箇所

101D

(72)発明者 田口 隆
神奈川県川崎市幸区堀川町580番の15 株
式会社東芝半導体システム技術センター内